



## Sujet de stage master

# Modélisation et vérification de contraintes de cyber-sécurité avec l'outil TTool

Prof Ludovic APVRILLE  
Télécom Paris, Équipe LabSoC  
450 routes des Chappes, F-06904 Sophia-Antipolis Cedex, France  
Email: ludovic.apvrille@telecom-paris.fr

12 juin 2023

## 1 Contexte et Problématique

La conception d'un système embarqués est complexe du fait des nombreuses exigences et de la présence de composants matériels et logiciels [3]. Non seulement le concepteur doit garantir que le système se comportera toujours de façon sûre mais il doit également prendre en compte les performances temps-réelles ainsi que les contraintes de cyber-sécurité.

Actuellement, notre approche pour concevoir des systèmes embarqués sûrs se base sur des techniques de modélisation et de vérification, et en particulier sur le profil SysML-Sec [1]. SysML-Sec est supporté par l'outil libre et open-source TTool [2]. Nous considérons qu'une modélisation systématique et l'utilisation de techniques de vérification (simulation, preuve formelle) aident à détecter des erreurs plus tôt dans le cycle de conception d'un système, et notamment de considérer les attaques possibles sur ces systèmes et les contre-mesure associées.

## 2 Objectifs

Ainsi, le **principal objectif de ce travail de stage est de contribuer aux techniques de modélisation et de vérification de l’outil libre TTool**, avec une focalisation sur les aspects cyber-sécurité. Ces contributions seront **mises à disposition du public** via le site Internet de TTool.

## 3 Travail attendu

Pour atteindre ces objectifs, le travail se focalisera sur les étapes suivantes :

1. Comprendre les modélisations SysML-Sec et le principes de modélisation des attaques et des contre-mesures.
2. Créer des nouveaux modèles de systèmes embarqués mettant en avant les capacité des SysML-Sec. En particulier, des exemples issus de systèmes automobiles et avioniques seront effectués, et le tutorial associé enrichi.
3. Proposer des nouveaux patterns de modélisation de la sécurité. Actuellement, l’outil propose des patterns assez simples, basés sur des primitives cryptographiques de base : il serait intéressant de définir de nouveaux patterns de plus haut-niveau (canal sécurisé assurant telle propriété, firewall, détection d’intrusion, etc.).
4. Coder ces patterns dans TTool, ainsi que les tests associés.
5. Mettre à jour la documentation relative à la vérification de cyber-sécurité de SysML-Sec.

## 4 Compétences requises

- Obligatoire : développement en Java, connaissance de *gitlab*, maîtrise du terminal sous Linux
- Facultatif mais recommandé : cybersécurité, modélisation UML/SysML

## 5 Comment candidater ?

Envoyez votre CVs, notes et recommandations, en format pdf, à [ludovic.apvrille@telecom-paris.fr](mailto:ludovic.apvrille@telecom-paris.fr)

## Références

- [1] L. Apvrille, L. W. Li, and A. Bracquemond. Design and verification of secure autonomous vehicles. In *12th European ITS Congress*, Strasbourg, France, June 2017.
- [2] Ludovic Apvrille. Webpage of TTool. In <http://ttool.telecom-paristech.fr/>, 2015.
- [3] Thomas A Henzinger and Joseph Sifakis. The embedded systems design challenge. In *International Symposium on Formal Methods*, pages 1–15. Springer, 2006.